

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-187269

(43)Date of publication of application : 15.08.1991

(51)Int.Cl. H01L 29/32

H01L 21/331

H01L 21/338

H01L 29/73

H01L 29/784

H01L 29/812

(21)Application number : 01-325975 (71)Applicant : HITACHI LTD

(22)Date of filing : 18.12.1989 (72)Inventor : MURAKAMI HIDEKAZU

NAKAGAWA KIYOKAZU

ETO HIROYUKI

MIYAO MASANOBU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable high-speed actions of transistors in heterostructures free of alloy scattering by using a simple substance of Ge undergoing compression strain as the channel of a field effect transistor and the base of a bipolar transistor.

CONSTITUTION: A layer through which carriers run consists of a germanium layer 3 that overlies a strain control layer 2 and shows compression strain. That is, compression strain is given to the germanium layer 3 under control by the strain control layer 2 located below, or above and below, the germanium layer 3. The strain control layer 2 employs an $\text{Si}_{1-x}\text{Ge}_x$ mixed crystal layer and

varies this mixed crystal ratio X_s to control strain given to the germanium layer 3. As a result, two-dimensional hole gas of high mobility, high saturation speed, and high concentration thus formed by a simple substance layer of Ge showing compression strain can realize the speedup of a field effect transistor and a bipolar transistor.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平3-187269

(43) 公開日 平成3年(1991)8月15日

(51) Int. Cl. ⁵	識別記号	F I
H O 1 L 29/32		
21/331	8 0 0	
21/338	8 0 3	
29/73	8 0 0	
29/784	8 0 5	

審査請求 未請求 請求項の数13 (全9頁) (12) 最終頁に続く

(21) 出願番号 特願平1-325975

(22) 出願日 平成1年(1989)12月18日

(71) 出願人 000000510

株式会社日立製作所

東 京

(72) 発明者 村上 英一

*

(72) 発明者 中川 清和

*

(72) 発明者 江藤 浩幸

*

(72) 発明者 宮尾 正信

*

(54) 【発明の名称】半導体装置

(57) 【要約】

【目的】合金散乱のないヘテロ構造を提供し、トランジスタの一層の高速動作を実現することにある

【効果】圧縮歪を有する単体Ge層に形成された、高移動度、高飽和速度、高濃度の2次元ホールガスによって、電界トランジスタ及びバイポーラトランジスタの高速化が実現できる

【産業上の利用分野】半導体装置に係り、特に、電界効果トランジスタ、及び、バイポーラトランジスタに関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-187269

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月15日

H 01 L 29/32

8225-5F

7735-5F

8422-5F

H 01 L 29/80

29/78

3 0 1 B※

審査請求 未請求 請求項の数 13 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-325975

⑰ 出 願 平1(1989)12月18日

特許法第30条第1項適用 「1989年(平成元年)秋季 第50回応用物理学会学術講演会 講演予稿集
(期日:平成元年9月27日~30日)」において発表

⑱ 発 明 者 村 上 英 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 中 川 清 和 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 江 藤 浩 幸 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. キャリアの走行する層が、ゲルマニウム層からなり、該ゲルマニウム層は歪制御層上に設けられてなり、上記ゲルマニウム層が圧縮歪を有することを特徴とする半導体装置。

2. 特許請求の範囲第1項記載の半導体装置において、ゲルマニウム層に近接した歪制御層に、p型不純物が導入されてなることを特徴とする半導体装置。

3. 特許請求の範囲第1項記載の半導体装置において、ゲルマニウム層にp型不純物が導入されてなることを特徴とする半導体装置。

4. 特許請求の範囲第3項記載の半導体装置において上記歪制御層は $Si_{1-x}Ge_x$ 混晶からなり、かつ、該歪制御層の混晶比 x_s が $0.5 \leq x_s \leq 0.9$ であることを特徴とする半導体装置。

5. ベース層がゲルマニウム層からなり、該ゲルマニウムベース層が圧縮歪を有することを特徴とする半導体装置。

6. 特許請求の範囲第2項記載の半導体装置において、上記ゲルマニウムベース層が $P-Si_{1-x}Ge_x$ ($0 < x < 1$) / $i-Ge$ からなる構造を有することを特徴とする半導体装置。

7. 特許請求の範囲第2項記載の半導体装置において、上記ゲルマニウムベース層にP型不純物が導入されてなることを特徴とする半導体装置。

8. 基板と、該基板上に設けられた歪制御層と、該歪制御層上に設けられたゲルマニウム層と、該ゲルマニウム層上に設けられた第1の層とを有する半導体装置において、

上記ゲルマニウム層を上記半導体装置のキャリアが走行することを特徴とする半導体装置。

9. 上記ゲルマニウム層は、電界効果型トランジスタのチャネル層であり、上記第1の層の上にはゲート電極が設けられていることを特徴とする

特開平3-187269 (2)

る請求項8記載の半導体装置。

10. 上記ゲルマニウム層は、バイポーラトランジスタのベース層であることを特徴とする請求項8記載の半導体装置。
11. 上記歪制御層は、 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層からなり、かつ混晶比 x が、 $0.5 \leq x \leq 0.9$ であることを特徴とする請求項8乃至10の何れかに記載の半導体装置。
12. 上記ゲルマニウム層の厚みは、10nm以上、30nm以下であることを特徴とする請求項8乃至11の何れかに記載の半導体装置。
13. 上記歪制御層は、 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層からなり、かつ、 $0.15 \leq 1-x \leq 0.45$ であることを特徴とする請求項8、9、10、12のうち何れかに記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に係り、特に、電界効果トランジスタ、及び、バイポーラトランジスタに関する。

バイポーラトランジスタの場合、n型Siエミッタとp型 $\text{Si}_{1-x}\text{Ge}_x$ ベースのバンドギャップ差が、ベースよりエミッタへのホール（正孔）の注入に対するバリアーとして働くため、ベースの濃度を高くしても十分な電流増幅率を確保できる。ベースの高濃度化は、トランジスタの高速化に不可欠な、ベース薄膜化及びベース抵抗低減に必要である。

(G. L. Patton 他、アイ・イー・イー・イー、エレクトロン・デバイス・レターズ、第9巻(1988年)165頁)

〔発明が解決しようとする課題〕

しかるに、上記従来技術は、トランジスタの動作速度に最も支配的な、チャネル及びベース層を $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) 混晶という不規則合金で形成しているため、キャリアが合金散乱を受け、十分な高速性を発揮できないという問題があった。

そこで、本発明の目的は、上記、合金散乱のないヘテロ構造を提供し、トランジスタの一層の高

〔従来の技術〕

近年、超高速素子への応用を目的としてバンドギャップの異なる異種の半導体を積層したヘテロ構造の研究が活発化している。特に、GaAs、AlGaAsなどのような化合物半導体のみならず、集積化に適したSi系においても研究が始まっている。

第2図は、その典型的な例を示したもので、Siよりバンドギャップの小さい $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) 混晶を、電界効果トランジスタのチャネル（第2図(a)）、及び、バイポーラトランジスタのベース（第2図(b)）として用いている。電界効果トランジスタの場合、Si層に不純物を導入しておけば、キャリアはバンドギャップの小さい $\text{Si}_{1-x}\text{Ge}_x$ 側に移って走行するため、不純物散乱が減少し、高移動度の実現が期待できる。

(T. Pearsall 他、アイ・イー・イー・イー、エレクトロン・デバイス・レターズ、第7巻(1986年)308頁)

速動作を実現することにある。

〔課題を解決するための手段〕

上記目的は、電界効果トランジスタのチャネル、バイポーラトランジスタのベースとして、圧縮歪を受けた単体Geを用いることにより達成される。圧縮歪は、ゲルマニウム層の下側若しくは、上下に設けられる、歪制御層によって、ゲルマニウム層に制御されて与えられる。歪制御層には、 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層が用いられ、この混晶比 x を変化させることによって、ゲルマニウム層に与える歪を制御する。すなわち、格子定数の小さいSiの含有量によって、歪制御層の格子定数を変化させ、歪制御層と連続して成長されるゲルマニウム層の格子定数より小さくし、圧縮歪を与えるものである。

〔作用〕

トランジスタの高速性能を決定する能動層（チャネル、ベース）に圧縮歪を受けた単体Geを用いる理由は、次の3点である。

まず第1に、単体Geは、Si及び

特開平3-187269 (3)

$\text{Si}_{1-x}\text{Ge}_x$ ($0 < x < 1$) 混晶に比べ、キャリア（特にホール）の移動度が大きい。例えば、第3図に示したように、室温におけるホールの移動度はSiの約1桁大きい。

(K. Takeda他, ジャーナル・オブ・フィジックス・C、ソリッド・ステート・フィジックス、第16巻、(1983年)、2237頁)

第2に、圧縮歪により、価電子帯が変化し、ホールの有効質量が、1桁近く減少することが、理論的に予測されている。(例えば、G. C. Osbourn, ジャーナル・オブ・バキューム・サイエンス・アンド・テクノロジーA 第3巻、(1985年)、826頁) 有効質量の減少は、キャリアの移動度及び飽和速度の増大をもたらす。

第3に、 $\text{Si}_{1-x}\text{Ge}_x/\text{Ge}$ ヘテロ界面におけるホールのGe側への閉じ込め及び、Geから $\text{Si}_{1-x}\text{Ge}_x$ へのホール注入の阻止に有効な、ヘテロ界面のバンド不連続値 ΔE_v （ホールにとってポテンシャルの谷の深さに相当する。）が大きくなることが知られている。例えば、 $x = 0.5$

の場合を考えると、Geが歪まない構造では $\Delta E_v \approx 0.1 \text{ eV}$ であるのに対し、Geが1%の圧縮歪を有する構造では $\Delta E_v \approx 0.17 \text{ eV}$ となることが期待される。(これは、R. People他, アプライド・フィジックス・レターズ第48巻、(1986年)538頁に示された方法を用いて計算した。) これは、電界効果トランジスタにおけるキャリア数増加による高い電流駆動能力の実現、バイポーラトランジスタにおける高電流増幅率、低ベース抵抗の実現に有効である。

[実施例]

本発明の基本的な実施例を第1図(a)、(b)、(c)に示す。第1図(a)は、基板1上に、歪制御層たる $\text{Si}_{1-x_s}\text{Ge}_{x_s}$ 混晶層2を設け、その上にゲルマニウム能動層3を連続して設け、更に、 $\text{Si}_{1-x}\text{Ge}_x$ 混晶層4を設けた状態を示す断面図である。このような構造をMODFETに応用したものが第1図(b)、バイポーラトランジスタに応用したものが第1図(c)である。

このように本発明は、第1図(a)に示したよ

うな、 $\text{Si}_{1-x}\text{Ge}_{x_s}/\text{Ge}/\text{Si}_{1-x_s}\text{Ge}_{x_s}$ /基板 ($0 < x, x_s < 1$)ヘテロ構造を基本とする。すなわち、電界効果トランジスタでは、第1図(b)の如く $\text{Si}_{1-x_s}\text{Ge}_{x_s}$ バッファ層によりGeチャネル層が圧縮歪を受ける構造とする。バイポーラトランジスタでは、 $\text{Si}_{1-x_s}\text{Ge}_{x_s}$ バッファ層をコレクタとし、その上にGeベース及び $\text{Si}_{1-x}\text{Ge}_x$ エミッタが歪んで形成された構造とする。

実施例1.

次は、具体的にpチャネル変調ドープ型トランジスタを作製した本発明の第1の実施例について述べる。

第4図に示すようにn型Ge基板41上に、厚さ500nmの $\text{Si}_{1-x_s}\text{Ge}_{x_s}$ バッファ層42 ($0.15 \leq 1-x_s \leq 0.45$)を、基板温度520℃で分子線エピタキシー(MBE)法によりヘテロエピタキシャル成長した後、20nmのGaチャネル層43、15nmのp型 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層44を400℃で成長した。バ

ッファ層の膜厚は十分厚い(歪成長の臨界膜厚以上)のため、Ge基板との界面に多くのミスフィット転位が発生して、格子定数はバルク $\text{Si}_{1-x_s}\text{Ge}_{x_s}$ に等しくなっている(歪緩和成長)のに対し、Ge及び $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層の膜厚は十分薄いため、面内格子定数をバッファ層に整合させて成長(歪成長)している。以上の事は、断面TEM観察及び、ラマン散乱分光により明らかにされた。第5図(a)に、ラマン散乱分光より求めた、Gaチャネル層の歪をバッファ層のSi組成 $1-x_s$ の関数として示した。歪は圧縮歪でありほぼ理論通りに $1-x_s$ に比例して制御できることがわかった。ただし、 $1-x_s = 0.45$ ではGe膜厚20nmは臨界膜厚を越え歪緩和している。

$\text{Si}_{0.5}\text{Ge}_{0.5}$ 層44へのp型不純物のドーピングは、いわゆるきドーピングによった。すなわち、まず400℃で15nmの $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜を成長した後、基板を100℃以下とし、Gaを表面吸着させ、続いて15nmの非晶質 $\text{Si}_{0.5}$

特開平3-187269 (4)

Ge_{0.5}膜を堆積した。その後、450℃に加熱することにより、この膜を固相エピタキシャル成長により単結晶化し、GaがSi_{0.5}Ge_{0.5}膜中にスパイク状に埋め込まれた構造とした。この構造にAnGa電極を設け電気伝導特性を調べた。第5図(b)は、77Kにおけるホール効果測定より求めた、ホール(正孔)の移動度と濃度を、 $1-x_s$ の関数として示したものである。 $1-x_s < 0.25$ では、予想どおり濃度と共にホールの移動度、濃度が増加する傾向が見られたが、 $1-x_s > 0.25$ では逆に減少することがわかった。断面TEM観察の結果この領域で急激につきぬけ転位が増加していることが明らかとなり、転位によるホールの濃度及び移動度の低下が示唆された。そこで、つきぬけ転位を減少させるために、Si_{1-x_s}Ge_{x_s}バッファ層の膜厚を2μmと厚くし、またGa基板との界面にSi_{1-x_s}Ge_{x_s}/Ga/Si_{1-x_s}Ge_{x_s}/Ga/……超格子層を設けた。これにより $1-x_s > 0.25$ の領域における、ホールの濃度及び移動度が増大した。

次に、第4図(b)に示すように、WSiゲート49と、イオン打込みによりこれに自己整合的に形成されたp⁺領域を有するサブミクロンゲート長のMOSFETを作製した。短チャネル化に伴うパンチスルーを防止するためSbドーピングスパイク51を設けてある。SiのnチャネルMOSFETでは、チャネル長を0.1μm以下にしなければ、キャリアの速度が飽和速度に上回るいわゆるvelocity overshootは見られないことが知られているが、(例えばG. A. Sai-Halosz他アイ・イー・イー・イー・エレクトロニクス・レターズ、第9巻、(1988年)、464頁)本発明のFETにおいては高移動度化によって、チャネル長約0.3μmにおいてもvelocity overshootによる性能向上が実現できた。

実施例2.

次に、pチャネル、チャネルドープ型電界効果トランジスタを作製した例について述べる。

第6図に示すように、p型Geチャネル層61は、GeH₄ガスを用いた超高真空対応のCVD

(第5図(c),(d))ただし、 $1-x_s > 0.4$ 及び $1-x_s < 0.15$ では、Geチャネル層43あるいはSi_{0.5}Ge_{0.5}層44が、転位を発生して歪緩和成長してしまうために、2次元ホールガスが観測できなかった。(図中・点)すなわち、Ge膜厚20nm Si_{0.5}Ge_{0.5}膜厚30nmの条件では、 $0.2 \leq 1-x_s \leq 0.4$ と選ぶことが有効である。Ge膜厚及びSi_{0.5}Ge_{0.5}膜厚を共に10nmの条件にすると、 $1-x_s$ の範囲として、 $0 < 1-x_s \leq 0.5$ に広げることが可能である。(この例ではGe基板を用いたが、Si基板を用いても同様な結果が得られた。)本発明により実現されたホールの移動度の最大値は15000cm²/v・s(77K)であり、従来値の10倍以上である。

さらに、Tiをゲート電極46とすることにより電界効果トランジスタを作製した。ゲート長は約2μmである。伝導コンダクタンス g_a のゲート電圧 V_g 依存性より算出した電界効果移動度の値も、10000cm²/v・s以上であった。

(化学気相成長)法によって成長し、B₂H₆ガスを用いてBを 1×10^{18} cm⁻³ドーピングした。至Ge層61の移動度は、バルクGe層41の約2倍と大きくなっており、高いホール濃度と合わせて、室温における伝導コンダクタンスとして、変調ドープトランジスタと同等な値が実現できた。

第6図中で第4図と同じ符号が示す部分は、第4図と同一又は均等部分を示すものである。

実施例3.

続いて、2次元ホールガス(2DHG)を利用したヘテロバイポーラトランジスタを作製した例について述べる。

第7図(a)に示すようにp型Ge基板71上に厚さ800nmのn⁺Si_{0.5}Ge_{0.5}コレクタ層72、200nmのn⁻Si_{0.5}Ge_{0.5}コレクタ層73を基板温度520℃でMBE法によりヘテロエピタキシャル成長した後、20nmのノンドープGeベース層74、Gaドーピングスパイク45を設けた。厚さ20nmのノンドープSi_{0.5}Ge_{0.5}層80、80nmの

特開平3-187269 (5)

$n^+Si_{1-x}Ge_x$ エミッタ層75を順次形成した。

この構造ではノンドープ $Si_{1-x}Ge_x/Ge$ ヘテロ界面に形成される2次元ホールガスが極薄かつ低抵抗のベース層として動作する。第7図(a)の構造を用い、バイポーラトランジスタの基本動作を確認した後、寄生素子を減らした第7図(b)の構造を用いたトランジスタを作製した。この構造では、真性ベース領域に対応する部分に開口部を有する $CVDSiO_2$ 膜76を形成した上にベース及びエミッタ層を形成することにより、外部ベースを p^+ 多結晶 Ge 膜とし、この外部ベースに起因する寄生抵抗及び寄生容量を大幅に低減している。本構造を用いることにより、 $f_T = 150 GHz$ の性能を実現した。

実施例4.

次に、通常の構造の p 型ベース層を用いたヘテロバイポーラトランジスタを作製した例について述べる。

p 型 Ge ベース層81は、実施例2と同様にし

94は、 $n^+Si_{1-x}Ge_x$ 層を示している。

実施例6.

最後に、 p チャネル、 n チャネルの変調ドープトランジスタをモノリシックに作製した例について述べる。

第10図に示すように、 p チャネルトランジスタは実施例1と同様の構造であり、 n チャネルトランジスタは、歪緩和して成長した Ge 層101をチャネルとする構造である。これは、 Ge 層101が歪まないほうが $Si_{1-x}Ge_x/Ge$ ヘテロ界面における伝導帯のバンド不連続値が大きくなるためである。本発明により、高速かつ低消費電力の相補型論理回路が作製できた。第10図中102は、 $Si_{1-x}Ge_x$ 凝晶層、103は、 S 、ドーピングスパイクを示している。
〔発明の効果〕

本発明によれば、圧縮歪を有する単体 Ge 層に形成された、高移動度、高飽和速度、高濃度の2次元ホールガスによって、電界効果トランジスタ及びバイポーラトランジスタの高速化が実現でき

て形成し、 B のドーピング濃度は $1 \times 10^{18} cm^{-3}$ とした。 Ge ベース内での電子の高移動度化によって、この構造においても $f_T = 150 GHz$ の性能が得られた。尚第8図中で第7図(b)と同じ符号で示す部分は同一又は均等部分を示すものである。

実施例5.

続いて2次元ホールガスを利用した p チャネル電界効果トランジスタと、バイポーラトランジスタを同一基板上に集積化して(モノリシックに)作製した例について述べる。

第9図に示すように両者の深さ方向の構造は全く同一であり、実施例3に示したバイポーラトランジスタの作製とほとんど同一の工程で作製できた。電流駆動能力の大きいバイポーラトランジスタと、高集積化に適した電界効果トランジスタのモノリシックな集積化により、超高速論理回路が作製できた。第9図中、91は基板バイアス用電極、92は、 $n^+Si_{1-x}Ge_x$ バッファ層、93は、 $n^-Si_{1-x}Ge_x$ バッファ層、

る。

4. 図面の簡単な説明

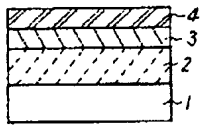
第1図は、本発明の基本構造の断面図、第2図は公知例の断面図、第3図は、 Ge のホール移動度の温度特性図、第4、6、7、8、9、10図は、本発明の実施例の断面図、第5図は、本発明の基礎となる実験結果を示す図である。

- 1…基板、
- 2… $Si_{1-x}Ge_x$ バッファ層、
- 3… Ge 層
- 4… $Si_{1-x}Ge_x$ 層

代理人 弁理士 小川勝男

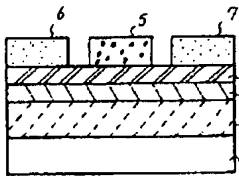
特開平3-187269 (6)

図面の浄意(内容に変更なし)

第1図
(a)

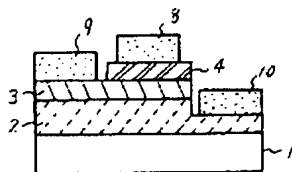
- 1 基板
2 $\text{Si}_{1-x}\text{Ge}_x$ バリヤ層
3 Ge層
4 $\text{Si}_{1-x}\text{Ge}_x$ 層

(b)

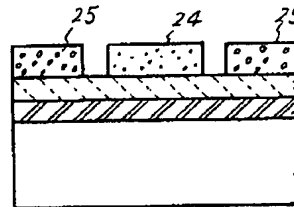


- 5 ゲート電極
6 ソース電極
7 ドレイン電極

(c)

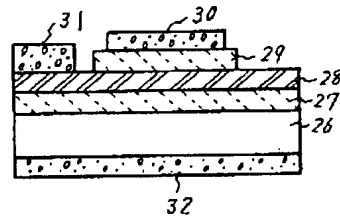


- 8 イニツ電極
9 ベース電極
10 コレツ電極

第2図
(a)

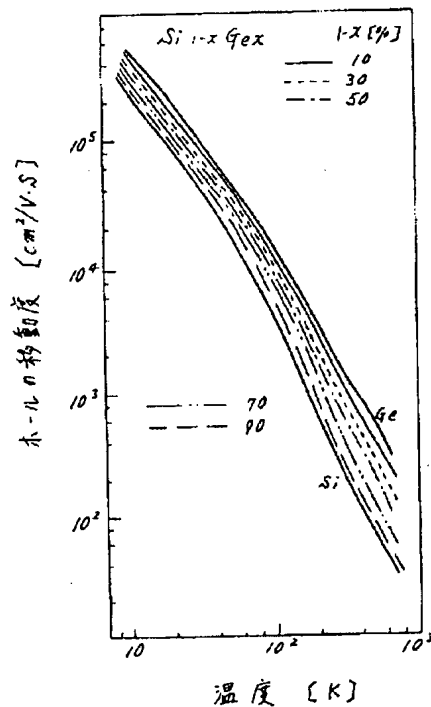
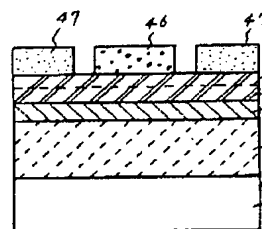
- 21 Si基板
22 $\text{Si}_{0.8}\text{Ge}_{0.2}$ チャネル層
23 P型Si層
24 Ti/TiO₂電極
25 Alソースドレイン電極

(b)



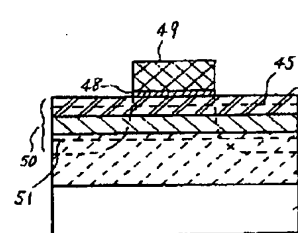
- 26 π -Si基板
27 π -Siコレツ層
28 P- $\text{Si}_{0.8}\text{Ge}_{0.12}$ ベース層
29 π -Si イニツ層
30 Al/Ti/Iniゲート電極
31 " ベース
32 " コレツ "

第3図

第4図
(a)

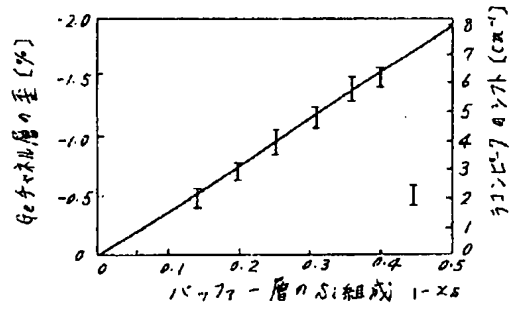
- 41 π 型Ge基板
42 $\text{Si}_{1-x}\text{Ge}_x$ バリヤ層
43 Geチャネル層
44 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 層
45 GaAs/InGaAsヘテロ
46 Ti/TiO₂電極
47 Au/Alソースドレイン電極

(b)

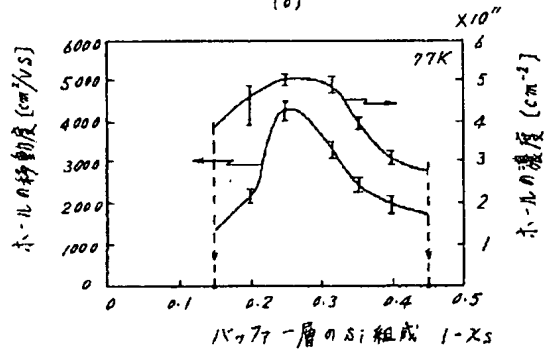


- 40 π 型Si基板
41 π -Siコレツ膜
42 WSi/TiO₂ゲート
43 イオン注入P領域
(ソース・ドレイン)
44 Sbドープインジウム
45
46
47

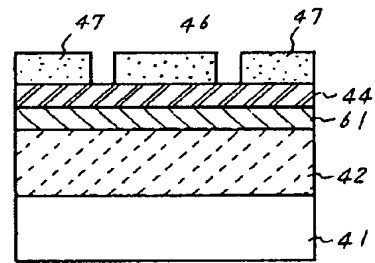
特開平3-187269 (7)

第5図
(a)

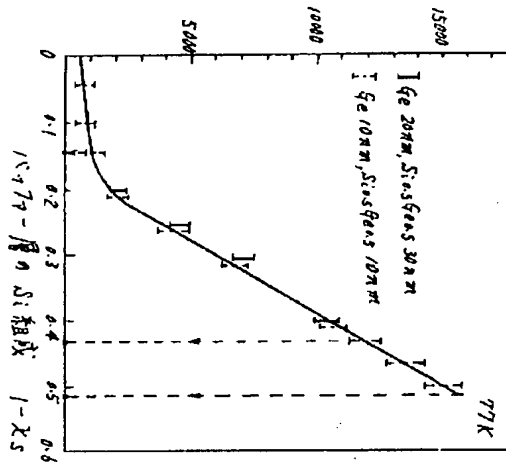
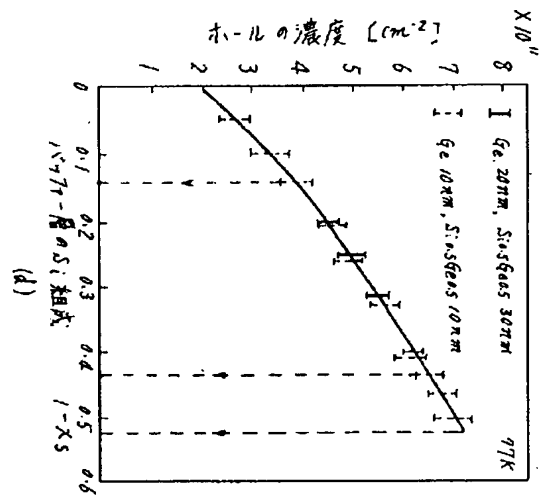
(b)



第6図

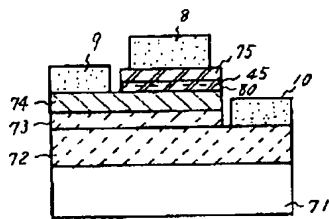


61 p型Ge+礼層

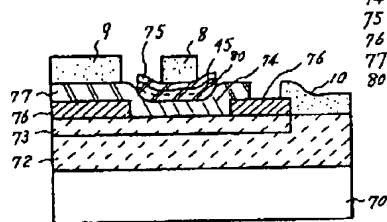
ホールの移動度 (cm^2/Vs)ホールの濃度 (cm^{-2})第5図
(c)

特開平3-187269 (8)

第7図

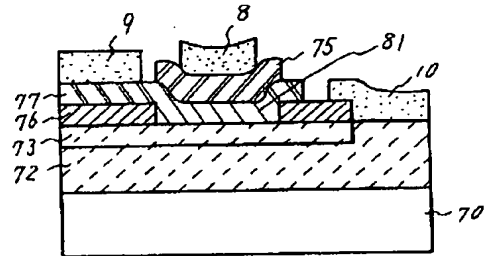


(b)



- 70 P型Si基板
- 71 P型Ge基板
- 72 $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$ 1677層
- 73 $\pi^+ \text{Si}_{0.75}\text{Ge}_{0.25}$ 1677層
- 74 $\text{InF-7}^+ \text{Ge}$ ベース層
- 75 $\pi^+ \text{Si}_{0.4}\text{Ge}_{0.6}$ 11.77層
- 76 CVD SiO_2 膜
- 77 P^+ 多結晶Ge膜
- 80 $\text{Si}_{0.4}\text{Ge}_{0.6}$ 膜

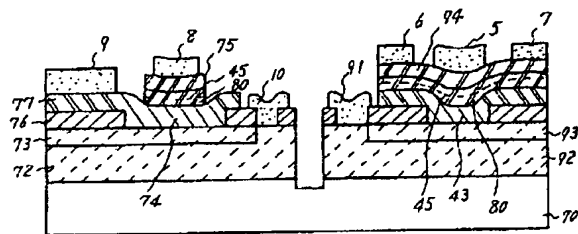
第8図



81 P型Geベース層

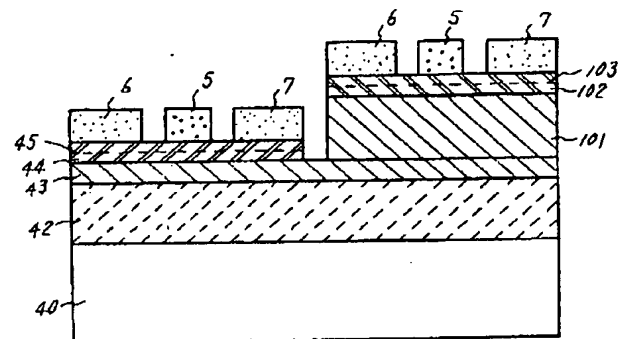
第9図

バイポーラトランジスタ P型MODFET



- 91 基板バイアス用電極
- 92 $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$ InF-7^+ 層
- 93 $\pi^+ \text{Si}_{0.25}\text{Ge}_{0.75}$ InF-7^+ 層
- 94 $\pi^+ \text{Si}_{0.4}\text{Ge}_{0.6}$ 層

第10図

Pチャンネル π チャンネル

特開平3-187269 (9)

第1頁の続き

⑤Int. Cl.⁵

識別記号

庁内整理番号

H 01 L 21/331
21/338
29/73
29/784
29/812

8422-5F
8225-5F

H 01 L 29/78
29/72

3 0 1 H

⑦発明者 宮尾 正信 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

手続補正書 (方式)

平成 2年 4月 2 日

特許庁長官 殿

事件の表示

平成 1 年 特 許 願 第 3 2 5 9 7 5 号

発明の名称 半 導 体 装 置

補正をする者

事件との関係 特 許 出 願 人
名称 (510) 株式会社 日 立 製 作 所

代 理 人

〒100 東京都千代田区丸の内一丁目5番1号
株式会社 日 立 製 作 所 内
電 話 東 京 212-1111(大代表)
氏名 (6850) 弁 理 士 小 川 勝 男

補正命令の日付 平成 2年 3月 27日

補正の対象 図 面

補正の内容 願書に最初に添付した図面を別紙のとおり
浄写する。(内容に変更なし)

特許庁

平成 2年 4月 20日

フロントページの続き

(51) Int. Cl. ⁵	識別記号	F I
H O 1 L 29/784	8 1 1	
29/812	8 0 3	
29/80		
29/78	3 0 1	
29/72		